Introduction

- The field effect transistor(FET) is a unipolar device because, unlike **bipolar transistor** that use both electron and hole current, they operate only with one type of charge carrier.
  → 전자 전류와 정공 전류 둘 다를 사용하는 쌍극성 트랜지스터(BJT)와는 달리 전계 효과 트랜지스터(FET)는 단지 하나의 전하 캐리어 만을 사용하는 관계로 **단극성 소자**이다.
- The two main types of FETs are the junction field effect transistor(JFET) and the metal oxide semiconductor field effect transistor(MOSFET).
  → 전계 효과 트랜지스터의 2가지 주된 형태로는 **접합 전계 효과 트랜지스터(JFET)**와 **금속-산화물-반도체 전계 효과 트랜지스터(MOSFET)**가 있다.
- The BJT is a current-controlled device; that is, the base current controls the amount of collector current.
  → BJT는 베이스 전류가 콜렉터 전류의 양을 조절하는 **전류 제어 소자**이다.
- On the contrary, the FET is a voltage-controlled device, where the voltage between two of the terminals(gate and source) controls the current through the device.
  → 이와 반대로, FET는 게이트와 소스 사이의 전압(V_{GS})이 소자를 통해 흐르는 드레인 전류(I_D)를 조절하는 **전압 제어 소자**이다.

접합 전계 효과 트랜지스터(Junction field effect transistor)

- Figure 1-32(a) shows the basic structure of an *n*-channel junction field effect transistor(JFET).
  → 그림 1-32(a)는 n채널 접합 전계 효과 트랜지스터(JFET)의 기본 구조를 보여주고 있다.

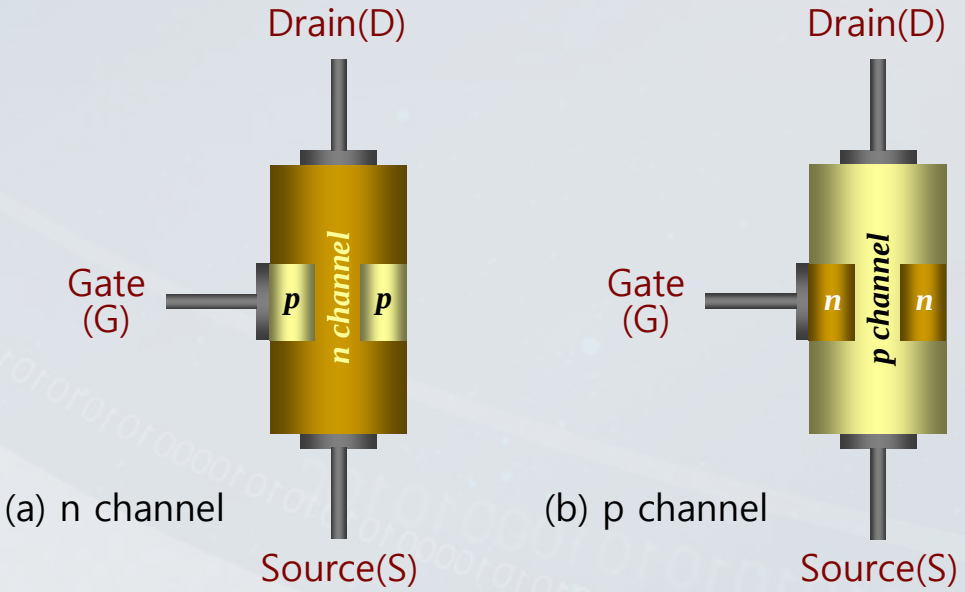


Figure 1-32. *A representation of the basic structure of the two types of JFET.*

- Wire leads are connected to each end of the *n*-channel; the **drain** is at the upper end, and the **source** is at the lower end.
  → 결선 단자들은 n채널 양쪽 끝 단과 연결되어 있으며, **드레인**은 윗쪽에, **소스**는 아랫쪽에 위치한다.
- Two *p*-type regions are diffused in the *n*-type material to form a channel, and both *p*-type regions are connected to the **gate** lead.
  → 두 개의 p형 영역들이 채널을 형성하도록 n형 물질 내에 확산되어 있으며, p형 영역 둘 다 **게이트** 단자와 연결되어 있다.
- A *p*-channel JFET is shown in Figure 1-32(b).
  → p채널 JFET는 그림 1-32(b)와 같다.
- The schematic symbols for both *n*-channel and *p*-channel JFETs are shown in Figure 1-33.
  → n채널과 p채널 JFET의 기호를 그림 1-33에서 보여주고 있다.
- Notice that the arrow on the gate points "**in**" for *n*-channel and "**out**" for *p*-channel.
  → 게이트 화살표가 n채널은 안쪽, p채널은 바깥쪽임을 주목하자.

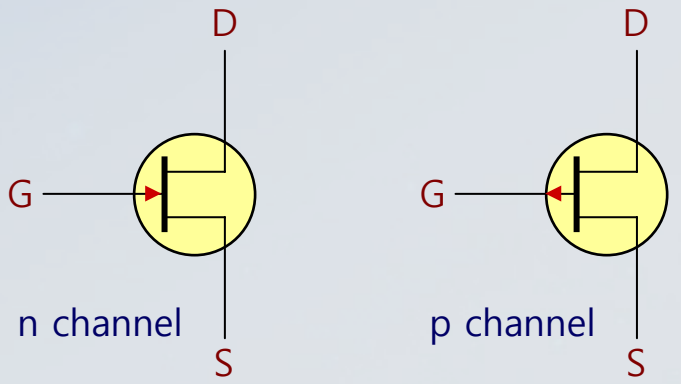


Figure 1-33. *JFET schematic symbols.*

JFET 기본 동작(JFET basic operation)

- To illustrate the operation of a JFET, Figure 1-34 shows bias voltages applied to an n-channel device.
  → JFET의 동작을 설명하기 위해, 그림 1-34는 바이어스 전압이 인가된 n채널 소자를 보여주고 있다.

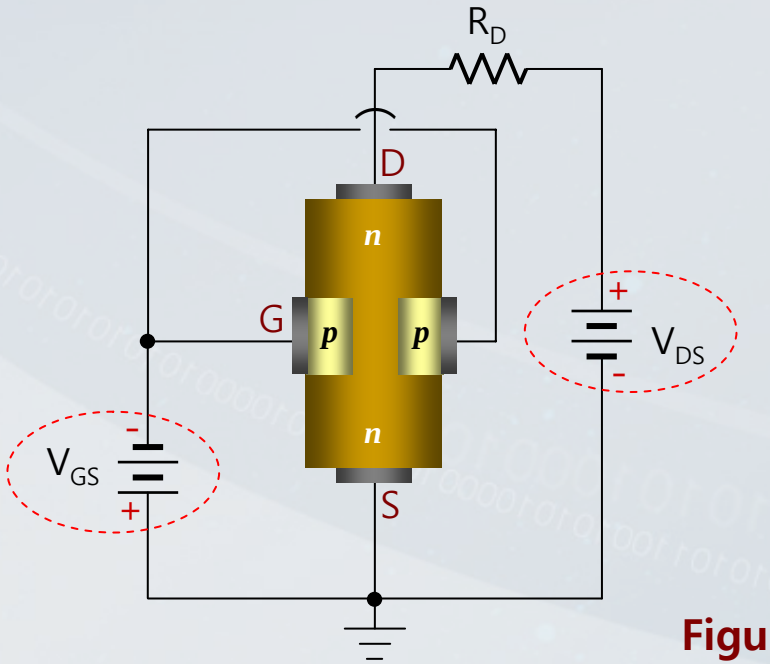
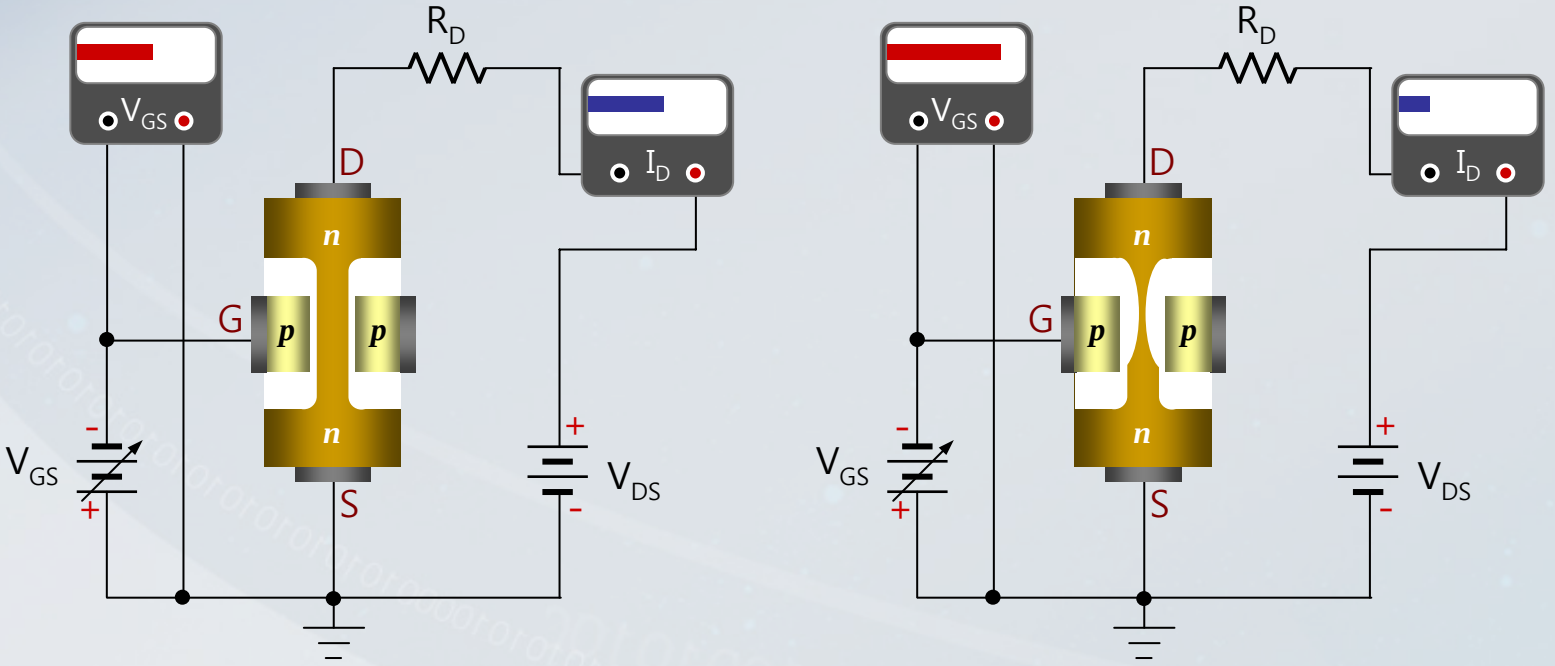


Figure 1-34. *A biased n-channel JFET.*

- V_{DS} is a drain-to-source voltage and supplies current from drain to source.
  → V_{DS}는 드레인과 소스 간의 전압이며, 드레인에서 소스까지 전류($\mathbf{I_D}$)를 공급한다.
- V_{GS} sets the reverse-bias voltage between the gate and the source, as shown.
  → V_{GS}는 그림에서와 같이 게이트와 소스 간의 역 바이어스 전압이다.
- *The JFET is always operated with the gate-source pn junction reverse-biased.*
  → JFET는 항상 역 바이어스 된 게이트-소스 pn 접합에서 동작한다.
- Reverse-biasing of the gate-source junction with a negative gate voltage produces a depletion region along the *pn* junction, which extends into the *n* channel and thus increases its resistance by restricting the channel width.
  → 음(-)의 게이트 전압에 따른 게이트-소스 접합의 역 바이어스화는 pn접합을 따라 n채널 영역에 공핍 영역을 형성하게 되며, 이로 인해 n채널의 폭이 제한되어 저항이 증가한다.
- The channel width and thus the channel resistance can be controlled by varying the gate voltage, thereby controlling the amount of drain current, I_D.
  → 채널 폭과 채널 저항은 게이트 전압의 변화를 통해 조절할 수 있으며, 이로 인해 드레인 전류 I_D가 조절된다.

- Figure 1-35 illustrates this concept.
  → 그림 1-35는 이 개념을 그림으로 설명하고 있다.

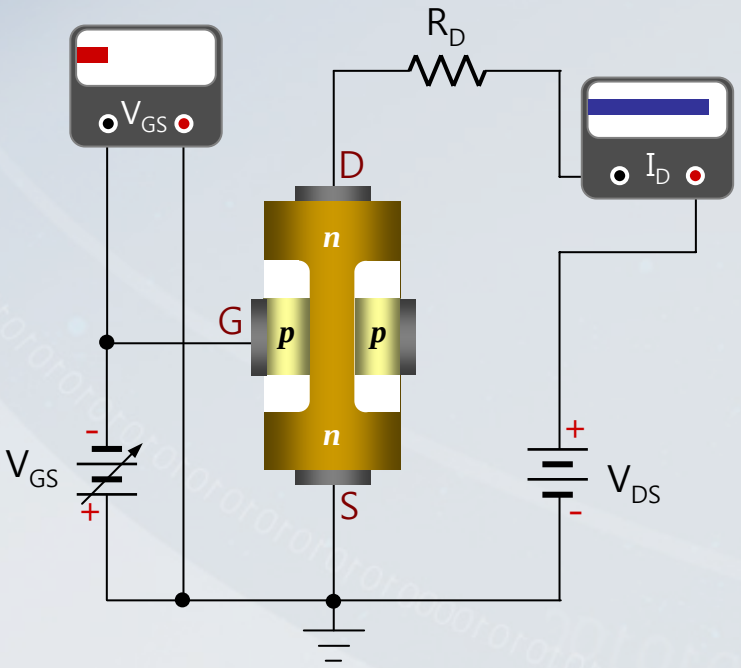


(a) JFET biased for conduction

(b) Greater V_{GS} narrows the channel which increases the resistance of the channel and decreases I_D.

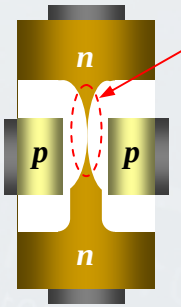
Figure 1-35. *Effect of V_{GS} on channel width, resistance, and drain current.*

- The white areas represent the depletion region created by the reverse bias.
  → 하얀색 영역은 역 바이어스에 의해 형성되는 공핍 영역을 표시한다.



(c) Less V_{GS} widen the channel which decreases the resistance of the channel and Increases I_D.

It is wider toward the drain end of the channel because the reverse-bias voltage between the gate and the drain is greater than that between the gate and the source.
→ 채널의 드레인 쪽으로 공핍 영역의 폭이 넓어 지는 것은 게이트-드레인 간의 역 바이어스 전압(V_{GD})이 게이트-소스 간의 역 바이어스 전압(V_{GS})보다 더 크기 때문이다.

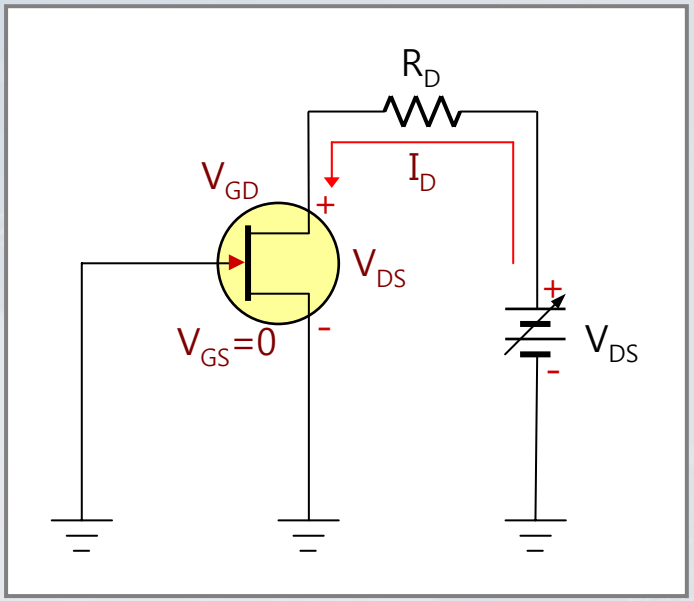


Pinch-off
게이트 역 바이어스 전압이 증가함에 따라 공핍 영역의 폭이 넓어지며, 끝내는 채널이 막혀버리는 상태에 도달한다. 이때 채널이 핀치오프 되었다고 한다.

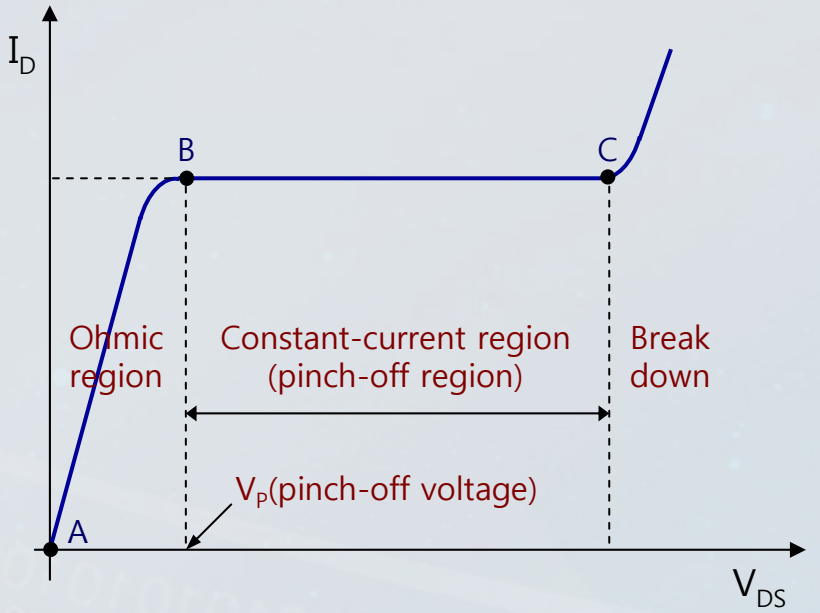
Figure 1-35. *Effect of V_{GS} on channel width, resistance, and drain current.*

JFET 특성(JFET characteristics)

- First, let's consider the case where the gate-source voltage is zero(V_{GS}=0).
  → 먼저, 그림 1-36과 같이 게이트-소스 전압(V_{GS})이 0인 경우를 고려하자.



(a) JFET with V_{GS}=0 and a variable V_{DS}

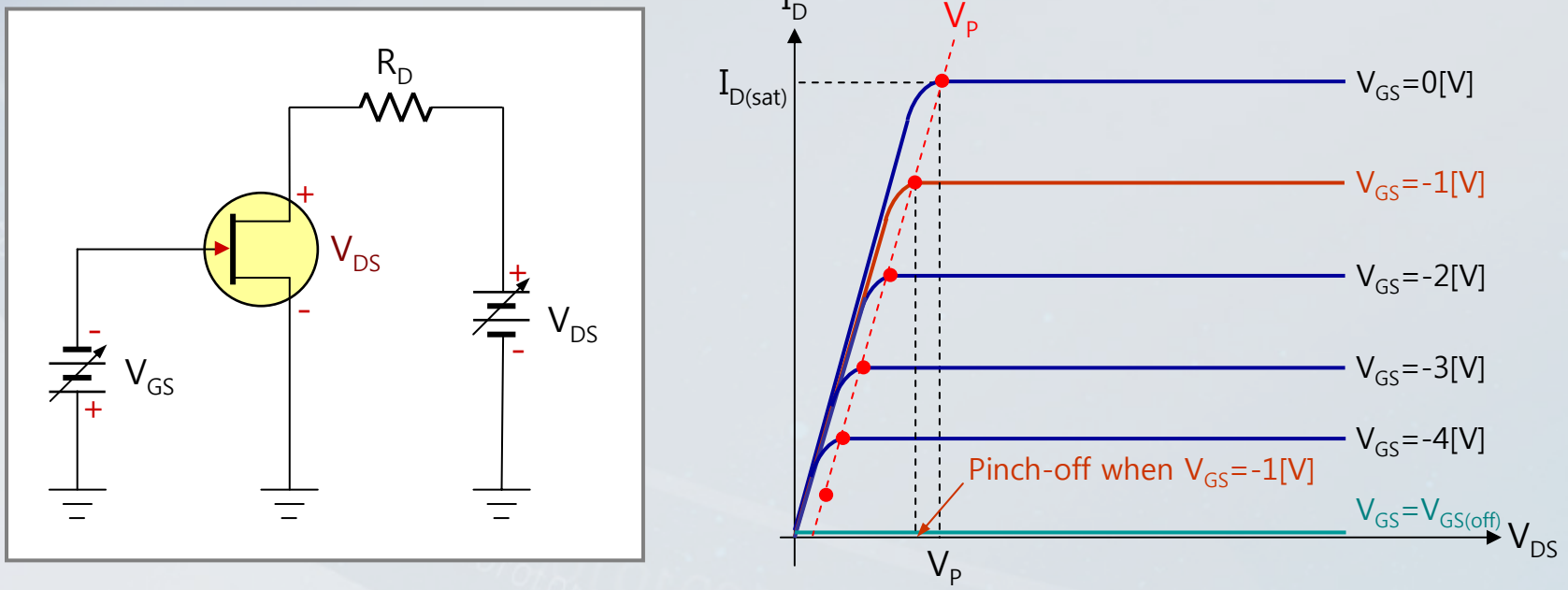


(b) Drain characteristics curve

Figure 1-36. *The drain characteristics curve of o JFET for V_{GS}=0 showing pinch-off.*

- As V_{DS} is increased from zero, I_D will increase proportionally through the n-type material, as shown in the graph of Figure 1-36(b) between points A and B.
  → V_{DS}가 증가함에 따라 I_D는 그림 1-36(b)에 나타낸 바와 같이 점 A, B 구간에서 일차 함수적으로 증가할 것이다.
- In this region, the channel resistance is essentially constant because the depletion region is not large enough to have significant effect.
  → 이 영역에서, 채널 저항은 공핍 영역이 특별한 영향을 가질 정도로 충분히 크지 않기 때문에 일정한 값을 갖는다.
- This is called the **ohmic region** because V_{DS} and I_D are related by Ohmic' law.
  → V_{DS}와 I_D가 오옴의 법칙과 관련이 있기 때문에 이 영역을 **오옴 영역**이라 부른다.
- As V_{DS} increases from point B to C, the reverse-bias voltage from gate to drain(V_{GD}) produces a depletion region large enough to offset the increase in V_{DS}, thus keeping I_D relatively constant.
  → V_{DS}가 증가함에 따라(B점→C점), 역 바이어스 전압 V_{GD}는 V_{DS}의 증가를 상쇄하기에 충분한 만큼의 공핍 영역을 생성하므로 I_D는 일정한 값을 유지한다.
- For V_{GS}=0[V], the value of V_{DS} at which I_D becomes essentially constant is the **pinch-off voltage**. → V_{GS}=0[V]인 경우, I_D가 일정한 값을 유지하기 시작하는 V_{DS}의 값을 **핀치 오프 전압(V_P)**이라 한다.

- Now, let's connect a bias voltage, V_{GS}, as shown in Figure 1-36(a).
  → 이제, 바이어스 전압 V_{GS}가 그림 1-37과 같이 인가된 경우를 고려하자.



(a) JFET biased V_{GS}=-1[V]

(b) Family of drain characteristics curve

Figure 1-37. *The drain characteristics curve of o JFET for V_{GS}=0 showing pinch-off.*

- As V_{GS} is set to increasingly more negative values, a family of drain characteristic curves is produced, as shown in Figure 1-37(b).
  → V_{GS}가 점점 증가하는 음(-)의 값으로 설정됨에 따라, 드레인 특성 곡선은 그림 1-37(b)와 같이 형성되어진다.
- I_D decreases as the magnitude of V_{GS} is increased to larger negative values because of the narrowing of the channel.
  → I_D는 역 바이어스 된 V_{GS}의 값이 증가함에 따라 채널의 축소로 인해 감소한다.
- Also, for each increase in V_{GS}, the JFET reaches pinch-off at value of V_{DS} less than V_P.
  → 또한 V_{GS}가 증가함에 따라, JFET는 V_P보다 낮은 V_{DS}에서 핀치오프에 도달한다.
- So, the amount of drain current(I_D) is controlled by V_{GS}.
  → 따라서, 드레인 전류(I_D)는 게이트-소스 전압(V_{GS})에 의해 조절 되어진다.
- The value of V_{GS} that makes I_D approximately zero is the cutoff voltage, **$V_{GS(off)}$**.
  → I_D를 거의 0으로 만드는 V_{GS}를 **차단 전압, $V_{GS(off)}$**라 한다.
- The JFET must be operated between V_{GS}=0[V] and $V_{GS(off)}$.
  → 따라서 JFET는 반드시 V_{GS}가 0[V]와 $V_{GS(off)}$ 사이에서 동작해야 한다.
- For this range of V_{GS}, I_D will vary from a maximum of $I_{D(sat)}$ to a minimum of almost 0.
  → 이러한 V_{GS}의 전압 범위에서, I_D는 최대 $I_{D(sat)}$에서 최소 거의 0까지 변하게 될 것이다.

금속-산화물-반도체 전계 효과 트랜지스터(Metal-Oxide-Semiconductor FET)

- The MOSFET differ from the JFET in that it has no *pn* junction structure; instead, the gate of the MOSFET is insulated from the channel by a silicon dioxide(SiO_2) layer.
  → MOSFET는 pn 접합을 가지고 있지 않다는 점에서 JFET와 차이점이 있다.
  대신, MOSFET의 게이트는 SiO_2층에 의해 채널과 절연되어 있다.

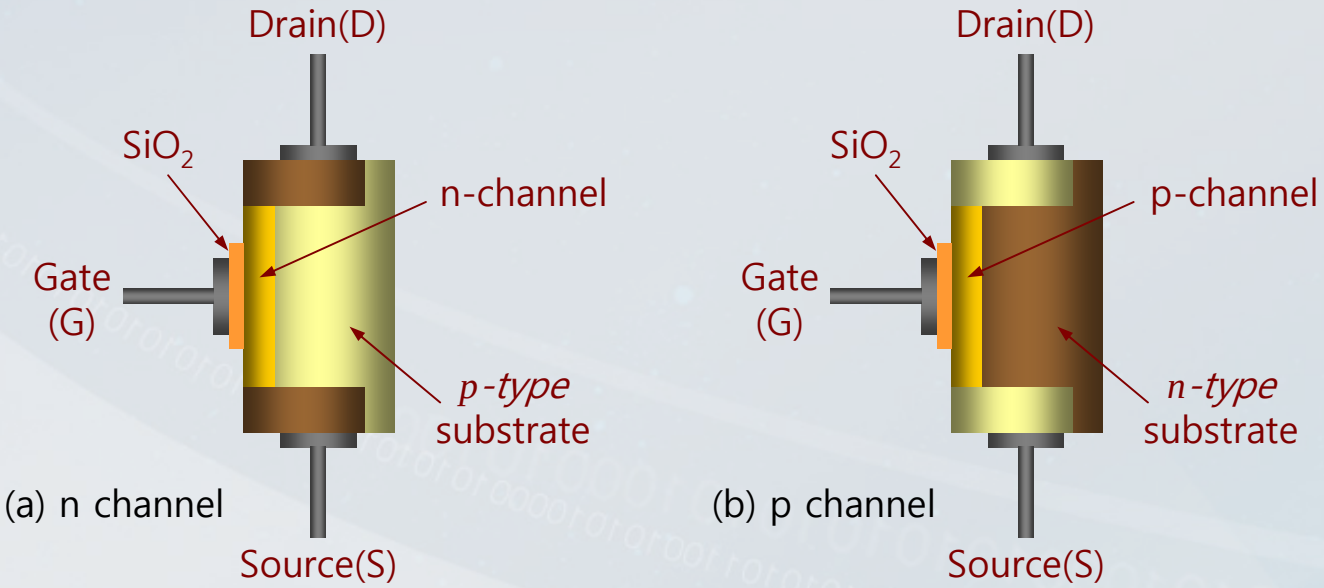


Figure 1-38. *Representation of the basic structure of D-MOSFET.*

공핍형 MOSFET(Depletion MOSFET, D-MOSFET)

- One type of MOSFET is the depletion MOSFET(D-MOSFET) and Figure 1-38 illustrates its basic structure.
  → MOSFET의 한 형태로 공핍형 MOSFET(D-MOSFET)가 있으며, 그림 1-38에 기본적인 구조를 그림으로 설명하고 있다.
- The drain and source are diffused into the substrate material and then connected by a narrow channel adjacent to the insulated gate.
  → 드레인과 소스는 기판 속으로 확산되어 있으며, SiO_2층으로 절연된 게이트와 인접하여 좁은 채널을 통해 연결되어 있다.
- The p-channel operation is the same, except the voltage polarities are opposite those of the n-channel.
  → p채널 동작은 인가 전압의 극성을 제외하곤 n채널 동작과 동일하다.
- The D-MOSFET can be operated in either of two modes - **the depletion mode or the enhancement mode**.
  → D-MOSFET는 두 가지 모드, 즉 **공핍 모드** 또는 **증가 모드**,로 동작할 수 있다.

- Since the gate is insulated from channel, either a positive or a negative gate voltage can be applied.
  → 게이트는 채널과 절연되어 있기 때문에, 양(+) 또는 음(-)의 게이트 전압이 인가될 수 있다.
- The n-channel MOSFET operates in the depletion mode when a negative V_{GS} is applied and in the enhancement mode when a positive V_{GS} is applied.
  → n채널 MOSFET는 음(-)의 V_{GS}가 인가될 때 공핍 모드로 동작하며, 양(+)의 V_{GS}가 인가될 때 증가 모드로 동작한다.
- These devices are generally operated in the depletion mode.
  → 일반적으로 이 소자는 공핍 모드로 동작한다.
- Visualize the gate as one plate of a parallel-plate capacitor and the channel as the other plate.
  → 평판형 캐패시터의 한 면을 게이트로, 다른 한 면을 채널이라 생각해 보자.
- The SiO_2 insulating layer is the dielectric.
  → SiO_2 절연층은 유전체이다.

- With a negative gate voltage, the negative charges on the gate repel conduction electrons from the channel, leaving positive ions in their place.
  → 음(-)의 게이트 전압이 인가되면, 게이트 위 음전하들은 채널로부터 양이온을 남기고 전도전자들을 쫓아버린다.
- Thereby, the n-channel is depleted of some of its electrons, thus decreasing the channel conductivity.
  → 그러므로 n채널은 공핍되어지고 채널 전도도가 감소한다.
- The greater the negative voltage on the gate, the greater the depletion of n-channel electrons.
  → 게이트에 인가되는 음(-)의 전압이 증가할수록 n채널 전자들의 공핍 또한 증대한다.
- At a sufficiently negative V_{GS}, the channel is totally depleted and the drain current is zero.
  → 충분히 큰 음(-)의 V_{GS}가 인가되면, 채널은 완전히 공핍되므로 I_D는 0이다.<**$V_{GS(off)}$**>
- This depletion mode is illustrated in Figure 1-39(a).
  → 공핍 모드 D-MOSFET의 동작 원리를 그림 1-39(a)에 나타내었다.

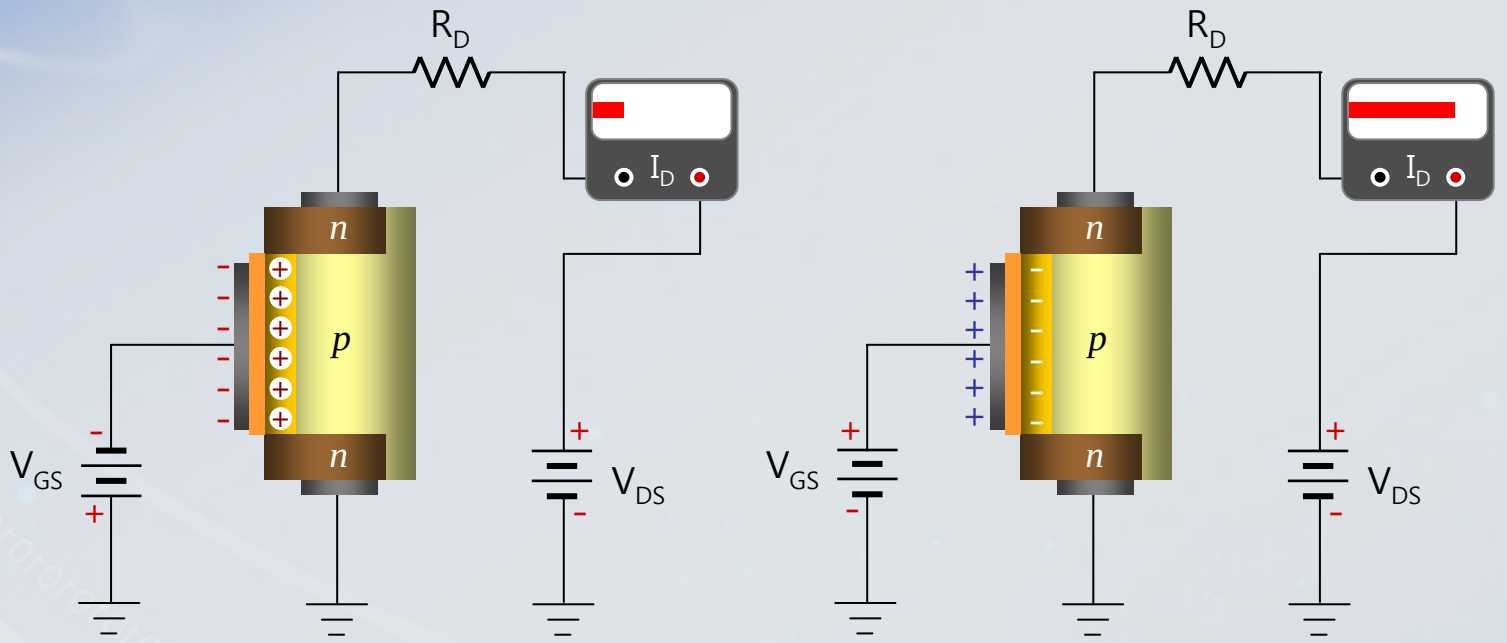


Figure 1-39. *Operation of n-channel D-MOSFET.*

- With a positive gate voltage, more conduction electrons are attracted into the channel, thus enhancing the channel conductivity, as illustrated in Figure 1-39(b).
  → 양(+)의 게이트 전압이 인가됨에 따라, 그림 1-39(b)와 같이 더 많은 전도전자들이 채널 내로 끌어 당겨지므로 채널의 전도도는 증가하게 된다.<**증가 모드 D-MOSFET**>

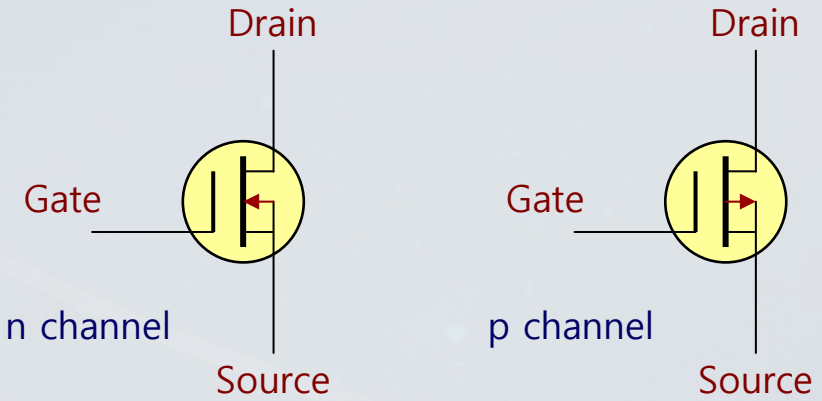


Figure 1-40. *D-MOSFET schematic symbols.*

증가형 MOSFET(Enhancement MOSFET, E-MOSFET)

- The E-MOSFET operates only in the enhancement mode and has no depletion mode.
  → E-MOSFET는 공핍 모드 없이 단지 증가 모드에서만 동작한다.

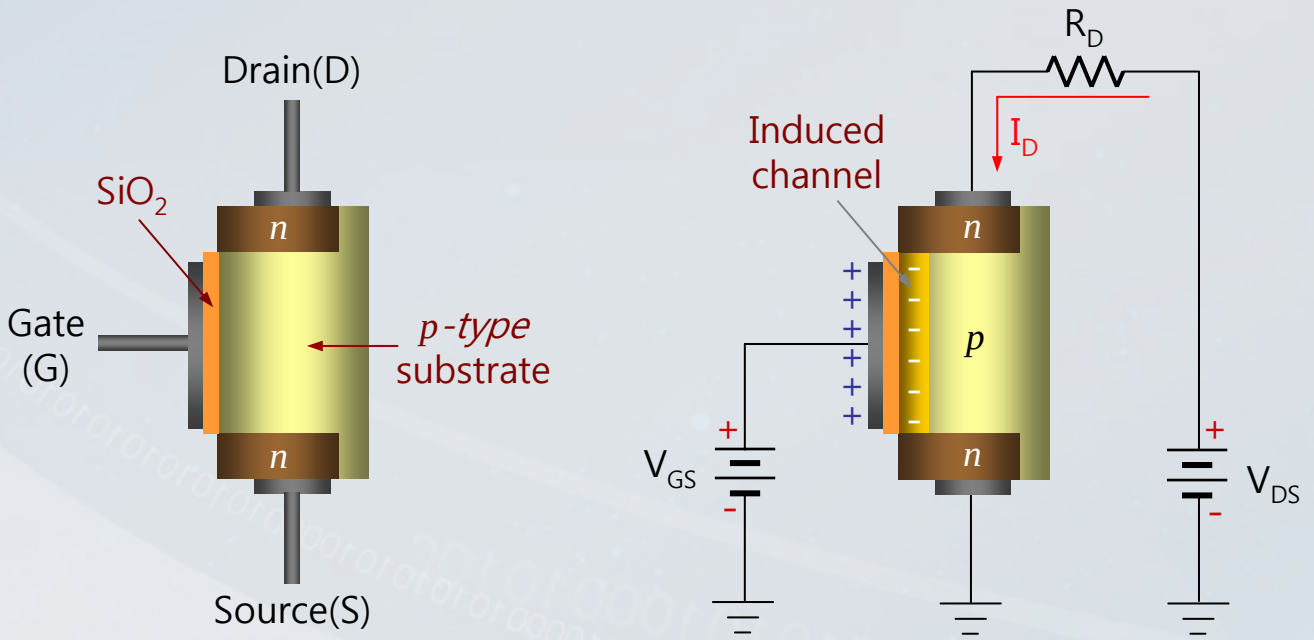


Figure 1-41. *E-MOSFET construction and operation(n-channel).*

- It differs in construction from the D-MOSFET in that it has no structural channel.
  → E-MOSFET는 구조상 채널을 가지고 있지 않다는 점에서 D-MOSFET와 차이가 있다.
- For an n-channel device, a positive gate voltage above a threshold value **induces** a channel by creating a thin layer of negative charges in the substrate region adjacent to the SiO_2 layer, as shown in Figure 1-41(b).
  → n채널 소자의 경우, 문턱값 이상으로 양(+)의 게이트 전압을 인가하면 그림 1-41(b)에서와 같이 SiO_2층에 인접한 기판 영역 내에 얇은 음(-)전하들의 영역이 생성되어 채널을 **유도(야기)**한다.
- The conductivity of the channel is enhanced by increasing the V_{GS} and thus pulling more electrons into the channel area.
  → 채널의 전도도는 V_{GS}에 비례하여 증가하며, 채널 영역으로 더욱 많은 전자들을 끌어모은다.
- For any gate voltage below the threshold value, there is no channel.
  → 문턱값 이하의 어떠한 게이트 전압에서도 채널은 형성되지 않는다.
- The schematic symbols for the n-channel and p-channel E-MOSFETs are shown in Figure 1-42.
  → n채널과 p채널 E-MOSFET의 회로 기호를 그림 1-42에 나타내었다.

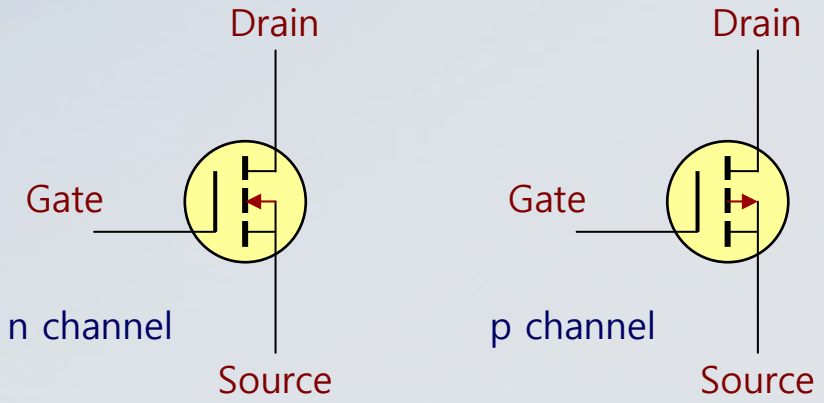


Figure 1-42. *E-MOSFET schematic symbols.*

- The conventional enhancement MOSFETs have a long thin lateral channel as shown in structural view in Figure 1-43.
  → 일반적인 증가형 MOSFET는 그림 1-43과 같이 구조적으로 긴 측면 채널을 갖는다.
  This results in a relatively high drain-to-source resistance and limited the E-MOSFET to low power applications.
  → 이 구조는 비교적 높은 드레인-소스 저항을 나타내며, 저전력 응용분야로 E-MOSFET 의 사용을 제한한다.

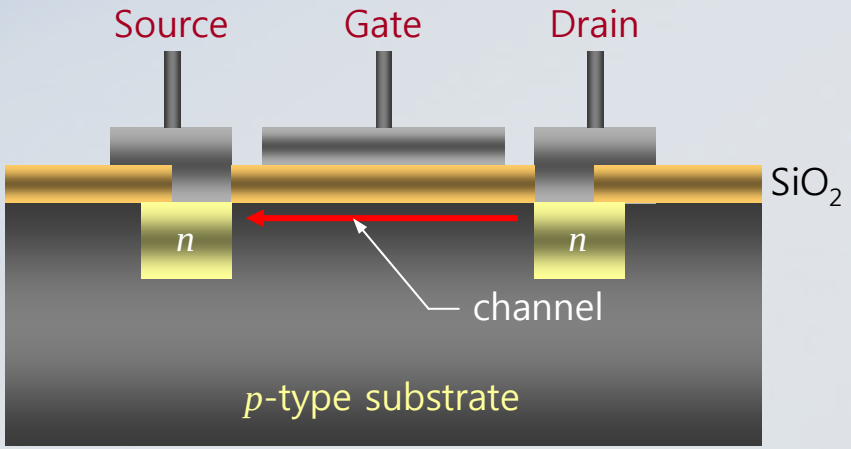


Figure 1-43. *Cross section of conventional E-MOSFET structure.*